●新一代巨大的并行架构能提供性能5倍优于竞争对手的解决方案

●获得台积电16纳米FinFET设计认证，具备一流的精度

全球电子设计领先公司Cadence设计系统公司日前发布其新一代RC提取工具Cadence Quantus QRC萃取方案。其巨大的并行架构，让Quantus QRC萃取方案能加速设计签收，单角和多角萃取的运行时间比同类竞争解决方案高达5倍，设定了性能的新标准。另外，其精度和FinFET器件的功能得到了台积电的认证。

Quantus QRC萃取方案利用Cadence上一代QRC产品的高精度建模引擎，与所有晶圆代工厂QRC现有的用户直接兼容并全面认证。新QRC萃取方案对 FinFET的支持有显著提升，包括相同的市场领先的定制/模拟功能，和支持晶圆代工厂认证和合格的“qrctechfiles”。另外，相比于竞争方案， Quantus QRC萃取方案已通过台积电的验证，具有与晶圆代工厂黄金数据最紧密的关联性。

Quantus QRC萃取方案支持系统级芯片(SoC)和定制/模拟设计，还包括一个新的获晶圆厂认证、称之为Quantus FS的集成随机行走现场解算器，该解算器可提供比同类竞争方案高达5倍的速度并提供更多的吞吐量。其自动增量提取能力通过与Cadence Encounter数字实现系统和Tempus 时序签收系统结合可缩短设计收敛周转时间，可取到高达3倍的性能提升。In-design签收方法已在Encounter和Virtuoso平台得到增强。

“经过在基准设计上对Cadence Quantus QRC萃取方案的运行时间进行验证后，我们确定，它能提供显著的改善而并不影响签收精度，” AppliedMicro工程总监Sumbal Rafiq表示。“Quantus QRC萃取方案采用获晶圆厂精度认证的、在单次运行中可执行多角萃取的能力，可显著提升设计实现时间。这是补充Cadence现有Encounter数字实现工具的一个很好的集成解决方案。”

“尽管在高级制程节点上要求不断攀升的SoC设计尺寸和互连角，Open-Silicon通过使用Quantus QRC萃取方案和其一流的设计方案和工具仍然取得了快速的设计收敛，” Open-Silicon 芯片工程副总裁Radhakrishnan Pasirajan表示。“作为一家始终达到第一流片成功的公司，Open-Silicon依赖该工具的巨大并行计算和精确度，使其设计实现显著的性能改善。其利用数百个CPU的扩展能力使我们的设计人员在流片过程中可快速突破签收萃取的瓶颈。”

“我们客户强调对于一个签收寄生参数萃取的工具，重中之重是要以最短的周转时间内提供最高的精度，以确保及时的设计收敛，”Cadence数字与签收部门高级副总裁Anirudh Devgan表示。“Quantus QRC萃取方案已被证明可为FinFET设计提供一流的精度，相比其同类竞争解决方案能提供更好的性能。”

有效性

Quantus QRC萃取方案现已上市。继2013年发布了Tempus Timing签收解决方案和Voltus IC Power Integrity解决方案后，Quantus QRC萃取方案成为Cadence利用巨大并行架构加快电子设计签收和完成的第三个创新产品。