**高速背板总线开发需求**

1. 总体要求

基于FPGA+LVDS技术，设计一款用于远程IO模块的背板总线方案。

FPGA芯片成本应≤30元，FPGA应自带4组或以上LVDS；

远程IO模块主要由适配器和IO模块组成；

适配器用于连接IO模块与上位机通讯；

IO模块用于信号（如模拟量、开关量等）输入输出。

总线电压：3.3-5VDC；

总线速率：100Mbps；

数据线路：4-8根；

总线应具备两种模式，一种是常规模式（产品正常工作时模式，只对模块信号进行输入或输出），一种调试模式（主要用于出厂调试，除具备常规模式功能外，可用于对模拟量信号校正，信号类型修改，滤波时间设置等功能）。

产品上电，由适配器对总线上IO模块自动分配地址和数据长度，当某个模块拆除时，不影响其他模块的地址，重新更换新模块时，可自动将旧模块地址和数据长度分配给新模块（在此过程中，应考虑产品断电的情况）。

稳定性高：总线在满负荷情况（适配器+32个模拟量模块）下，连续运行6个月无故障；

抗干扰强：在较强的电磁干扰环境下，能稳定工作；

冗余度高：当总线上某个模块故障，不影响其他模块工作；

热插拔：**更换模块或添加新模块**时，无需断电，模块可自适应并自动组态，正常工作；

扩展性强：方便开发并添加新模块，支持传输一些自定义信息；

方便开发：FPGA芯片可与其他MCU或网络通讯芯片进行快速信息交互，支持SPI、IIC、UART等通讯；

响应快：满负荷情况（适配器+32个模拟量或开关量模块）下，应在1ms内完成所有模块的输入输出。

诊断功能：当模块故障时，应能通过总线反馈到适配器。

|  |  |  |  |
| --- | --- | --- | --- |
| 模块类型 |  | 数据长度 |  |
| 08DI/DO | 读/写 | 8 bit | 只读或只写 |
| 16DI/DO | 读/写 | 16 bit | 只读或只写 |
| 32DI/DO | 读/写 | 32 bit | 只读或只写 |
| 04AI/AO | 读/写 | 8\*2 Byte | 只读或只写 |
| 08AI/AO | 读/写 | 8\*2 Byte | 只读或只写 |
| 单通道编码器模块 | 读/写 | 读24Byte+  写24Byte | 同时读写 |
| 双通道编码器模块 | 读/写 | 读24Byte+  写24Byte | 同时读写 |
|  |  |  |  |

2023.10.16