# 定制项目信息

项目信息

复制 ■ 覆盖您需要的选项 □

|  |  |
| --- | --- |
| 项目名称 | 高速CMOS信号采集 |
| 定制项目 | □硬件 □软件 ☑软硬件都做 |
| 预算范围 | ☑ 5万-10万 □ 50万-100万 □ 100万-500万 □ 500万以上 |
| 项目时间 | 2~3月 |
| 开发周期 | 2~3月 |
| 应用场景 | 工业自动化应用 |
| 样板数量 | 3套 |
| 年用量 |  |
| 技术培训 | □不需要 □需要，培训方式：□ 现场 ☑网络 |
| 工作温度 | □商业级：0℃ - 70℃ ☑工业级：-40℃ - 85℃ □ 其他： |
| 外壳定制 | □需要 ☑不需要 |
| 实验认证 | □EMC □高低温 □ROHS ☑其他： |
| 测试设备 | □提供 ☑不提供 注：被测设备DUT |
| 可靠性 |  |
| 源文件 | ☑需要，原理图、PCB、生产文件等源文件 □不需要 |
| FPGA开发 | ☑需要，verilog源码 □不需要 |
| 驱动开发 | ☑需要，驱动源码 □不需要 |
| 上位机开发 | □需要，上位机源码 □不需要 |
| 嵌入式系统 | □SDK □RTOS □Linux □Vxworks ☑其他： |
| 设计方式 | ☑核心板+底板，核心板型号： □一体板 |
| 散热方式 | ☑主动式：带风扇 □被动式：不带风扇 □ 其他： |

技术信息

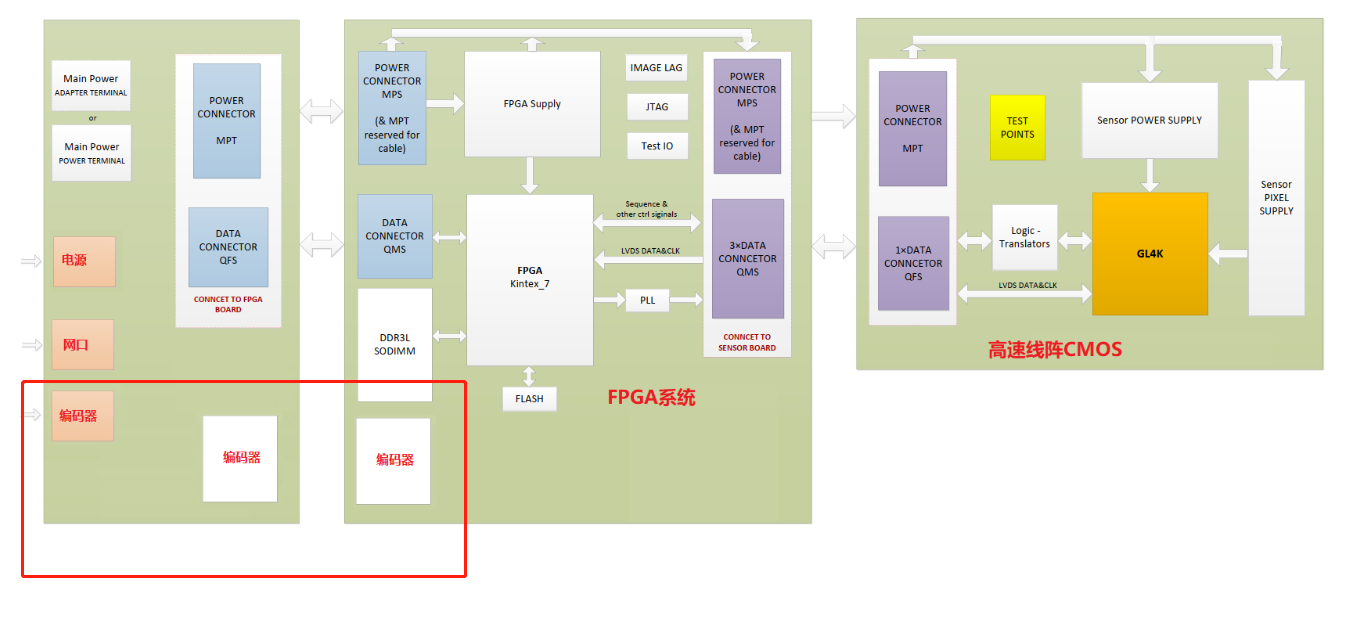
功能概述：

FPGA配置线阵CMOS，通过sub-lvds总线读取CMOS的图像数据，将数据放到DDR中，同时将读取的编码器（3个轴）数据也放入DDR中，每读取一帧线阵CMOS数据对应一组编码器的数据，通过网口将数据上传到PC端。PC端软件提供测试的即可。

提供驱动CMOS的源文件以及电路。

### 在前期阶段可以使用你们Kintex-7开发板 + CMOS驱动板做验。（节约成本）

功能框图：



上面是系统框架图，除了红框中的编码器部分和网口通讯除外，其他部分可以提供电路和源程序参考。有驱动CMOS的源程序。

技术指标：

1. 主芯片型号：可以根据你们的核心板来
2. 外部接口：SFP光纤接口或者千兆网口（根据数据量来定）
3. 主要功能：FPGA通过网口将采集的CMOS的图像数据和编码器数据上传到电脑
4. IO口数量：3
5. DDR类型及容量：DDR3
6. 如需要ADC, ADC采样率，位数，带宽，输入电压范围，接口类型
7. 供电电压：24V
8. 结构尺寸:

验收标准：

电脑能够正常的读取 像数据和编码器数据,帧率能够达到10KHz以上就。（线阵CMOS的一帧数据量很小大概8KB左右），达到10KHz的话，网口速度最少需要达到80MB/S。