

## FPGA项目开发需求

1. 根据现有的开发板套件(Xilinx Kintex-7) 和 带FMC接口的A/D采样电路板进行以下发射和接收功能的FPGA开发 -- 1个月
2. 完成发/收功能后, 基于开发板实际资源使用情况“缩减”开发板, 重新设计硬件电路, 并完成电路板的制作、贴片和调试 -- 1个月
3. 基于新的电路板实现1.中所述功能, 实验室环境下协助FPGA调试及使用方法培训 -- 1个月

开发板Xilinx Kintex-7

<https://china.xilinx.com/products/boards-and-kits/ek-k7-kc705-g.html>

A/D采样电路板

<https://www.abaco.com/products/fmc150-fpga-mezzanine-card>



## 信号发射模块



1. FPGA开发板内创建一个socket服务端口，上位机通过以太网接口将数据发送到该端口。
2. 将该端口收到的数据(字符串)进行重新封装，每1ms对数据进行一次封装，每次封装大小不超过1k Byte。其封装格式如下。帧头结构为：特定字符串(UUUU)，有效数据长度(1~1024)，特定字符串(UUUU)，有效数据，特定字符串(UUUU)。
3. 将封装后的数据进行RS编码(暂定编码格式 RS 255,239)，帧头加入导频信息，长度为10个8位字符(80位二进制数)
4. 将编码后的数据和导频信息以TTL电平方式发送出去，发送波特率（1M/s Baud Rate ~ 10M/s Baud Rate），可根据FPGA外围电路自定义输出引脚

socket服务端口接收到的数据



ABCD....WXYZ

对数据进行封装，在头尾加入特定标识符



UUUU0026UUUU ABCD.....WXYZ UUUU0026UUUU

对封装后的数据进行RS编码



\*\*\*\*\*

RS编码后的数据前端加入导频信息

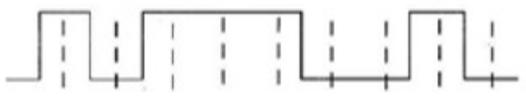


导频 \*\*\*\*\*

以二进制格式、TTL电平输出



01000001010000010100000101010101...



## 信号接收模块



1.发射端输出的TTL信号，经过一系列信道传输后进入到A/D转换模块，A/D电路将模拟信号转换成为数字信号，输入到FPGA中，A/D电路的采样频率不低于100MS/s，垂直分辨率14位。

2.FPGA开发板对数字信号进行处理，主要包括滤波、抽样、均衡、判决等，将数字信号转换成成为0/1二进制数据

- 滤波器主要是设计FIR低通滤波器，暂定截止频率20MHz，40阶，后续根据实际信号情况做调整
- 提取信号中的导频信息，对信道进行估算，并进行均衡，要求必须实现DFE均衡
- 均衡器的具体参数和其它均衡算法后面再讨论，先实现功能，参数需根据实际场景进行调试

3.判决后的二进制数据根据发送端的RS编码规则进行解码，解码后根据数据包封装格式进行解封装

4.从解封装后的数据中提取有效数据，并通过Socket向上位机client端发送

socket服务端口向上位机发送数据



ABCD...WXYZ

解封装, 提取有效数据



UUUU0026UUUU

ABCD.....WXYZ

UUUU0026UUUU

RS解码



\*\*\*\*\*

抽取数据信息



导频

\*\*\*\*\*

抽样后的信号进行导频提取、DFE均衡、判决



0.9 0.2 0.8 0.7 0.8 0.15 0.16 0.85 0.2

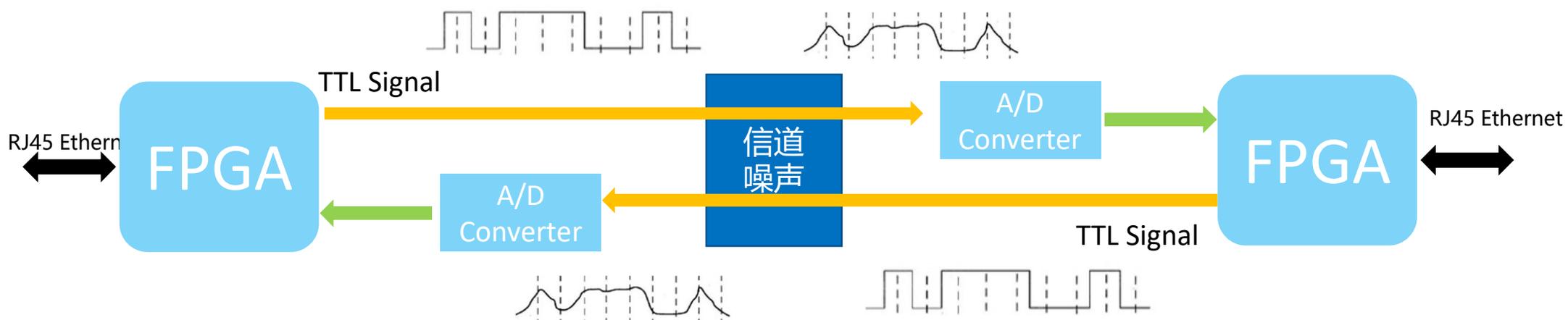
对模拟信号波形进行A/D转换和抽样



## 功能验收方案

1. 上位机向FPGA发送数据，完成数据包封装、编码、加入导频后以TTL信号发出
2. TTL信号通过信道传输，加入噪声后到达接收端
3. 接收端完成信号处理，并实现解码、解封装后向上位机发送数据

要求：接收数据与发送数据长度、内容一致，通信速率1-10Mbps



## 其它需求

工期需求：自合同签订日起3个月内完成

交付内容：硬件原理图， layout版图， 最终版本的FPGA代码， 详细的设计文档

付款方式：按照合同约定， 分阶段付款

技术支持：共两次技术现场技术支持， 一年内远程售后服务