

计算机设计与实践

单周期CPU设计-3



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

实验目的

- ◆ 加深对CPU**结构**和**工作原理**的理解
- ◆ 掌握根据数据通路表和控制信号取值表来实现**控制**单元的方法
- ◆ 熟练掌握使用Verilog HDL实现CPU的功能部件
- ◆ 熟练掌握数字电路的仿真调试方法



实验内容

- ◆ 使用Verilog HDL实现单周期CPU的控制单元：
 - ◆ 根据数据通路表和控制信号取值表，确定控制单元的接口
 - ◆ 列出所有控制信号的逻辑表达式，并实现之
 - ◆ 封装各个控制逻辑，形成控制单元
- ◆ 设计TestBench，对CPU进行仿真调试



控制器实现

- ◆ 基于数据通路，分析每条指令执行所需的控制信号的取值，列出控制信号取值表
- ◆ 根据指令**opcode**、**funct3/funct7**和控制信号的关系，写出每个控制信号的**逻辑表达式**
- ◆ 必要时，使用卡诺图化简逻辑表达式
- ◆ 根据逻辑表达式，用Verilog HDL实现相应的控制逻辑
- ◆ **综合**所有控制逻辑，形成控制器



控制器实现

◆ 要点:

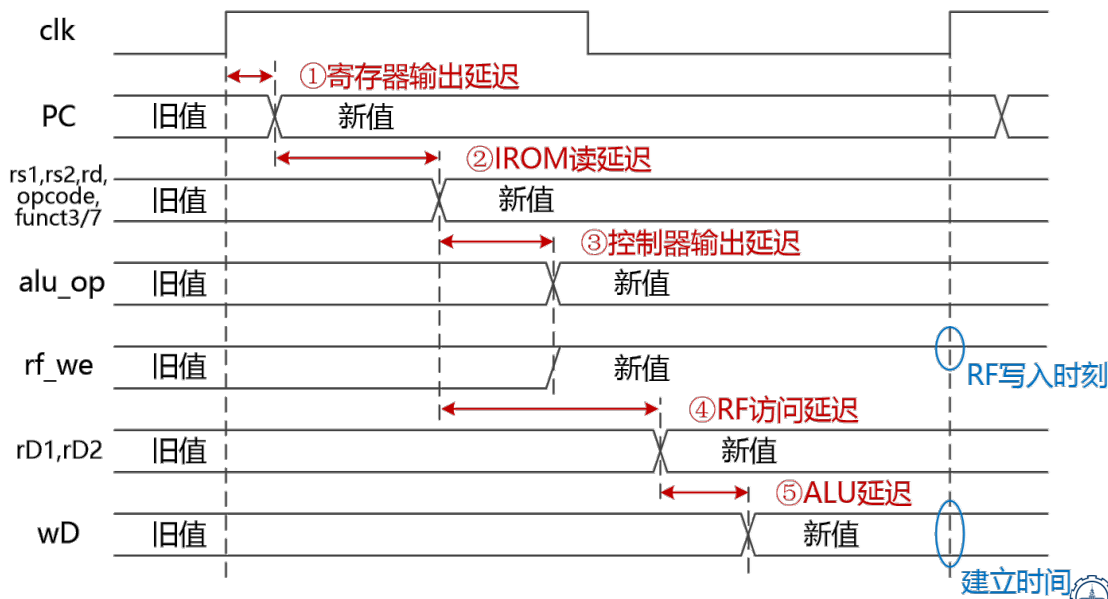
- ◆ 根据控制信号取值表，为每个需要输出到其他单元的控制信号写出相应的逻辑表达式
- ◆ 表达式的输入：opcode、funct3、funct7

指令	npc_op	rf_we	wd_sel	sext_op	alu_op	alub_sel	branch	dram_we
add	pc+4	1	'b00	X	ADD	0	0	0
sub	pc+4	1	'b00	X	SUB	0	0	0
ori	pc+4	1	'b00	'b00	OR	1	0	0
lw	pc+4	1	'b01	'b00	ADD	1	0	0
sw	pc+4	0	'bXX	'b01	ADD	1	0	1
beq	'b01	0	'bXX	'b10	SUB	0	1	0
jal	'b10	1	'b10	'b11	X	X	0	0



单周期CPU时序

- ◆ CPU既包含时序逻辑部件，也包含组合逻辑部件
 - ◆ 时序逻辑：输出寄存器存在输出延迟
 - ◆ 组合逻辑：门电路固有延迟



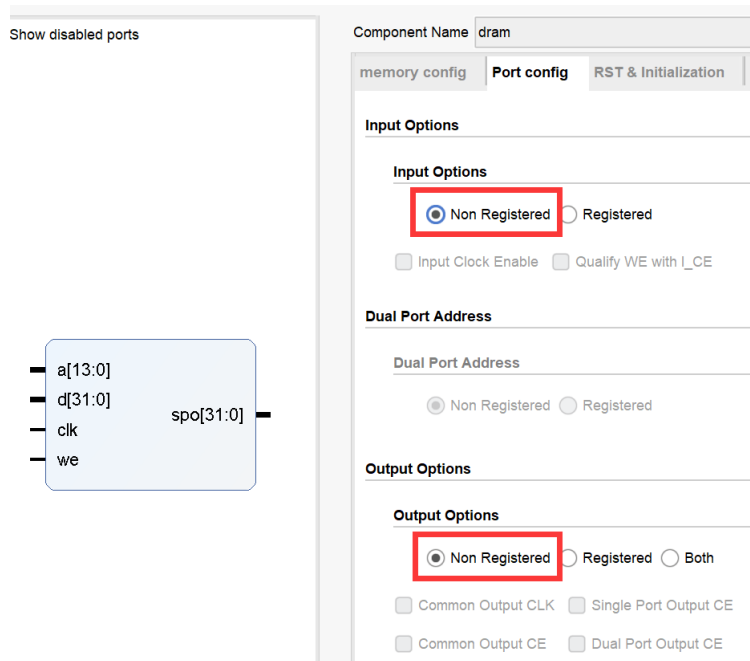
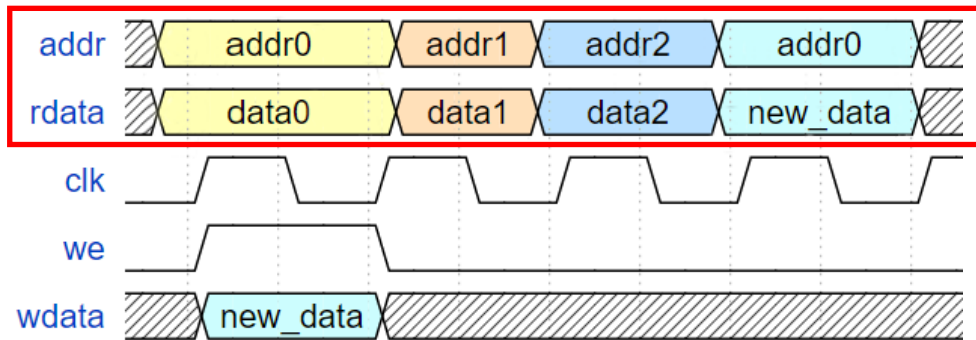
单周期CPU时序

- ◆ 由于PC的更新存在延迟，可能导致取操作数出错
- ◆ 解决方法：
 - ① 在上一个时钟的下降沿更新PC，在当前时钟的上升沿读取RF
 - ② 在当前时钟的上升沿更新PC，在当前时钟的下降沿读取RF
 - ③ 将RF的读逻辑更改为组合逻辑



单周期CPU时序

- ◆ DRAM的读/写时序
 - ◆ 异步读、同步写



仿真调试

- ◆ 编写汇编程序作为Test Bench
 - ◆ Test Bench应当尽可能全面：涵盖每一条指令、涵盖顺序结构、选择结构和循环结构
- ◆ 将汇编后的测试程序导入IROM
- ◆ 将关键信号 (PC、寄存器、存储器、控制器等相关信号) 加入到波形
- ◆ 运行仿真，分析波形



实验步骤

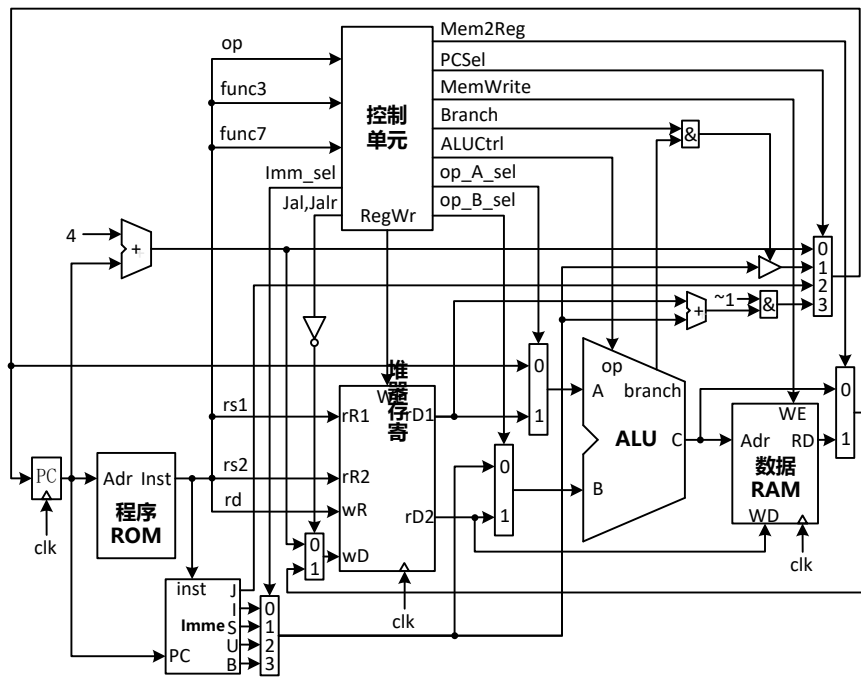
- ① 根据数据通路表，确定控制单元**包含哪些控制信号**
- ② 根据控制信号取值表，确定各控制信号的**逻辑表达式**
- ③ 化简各逻辑表达式，并使用Verilog HDL实现之
- ④ **封装**成模块，得到控制单元
- ⑤ 根据数据通路表，将控制单元和各功能**部件连接**起来
- ⑥ 编写Test Bench，对各单元、部件及子模块进行仿真调试



课堂检查

- ◆ 将完整的数据通路图画出来 (2分)
- ◆ 数据通路图需要和数据通路表、控制信号取值表对应!

参考示例:





Let's roll !



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

