

# 计算机设计与实践

## 流水线CPU设计-3



HITSZ 实验与创新实践教育中心  
Education Center of Experiments and Innovations, HITSZ

# 实验目的

---

- ◆ 加深对流水线CPU中**数据前递**的理解
- ◆ 熟练掌握数字电路的仿真调试方法



# 实验内容

---

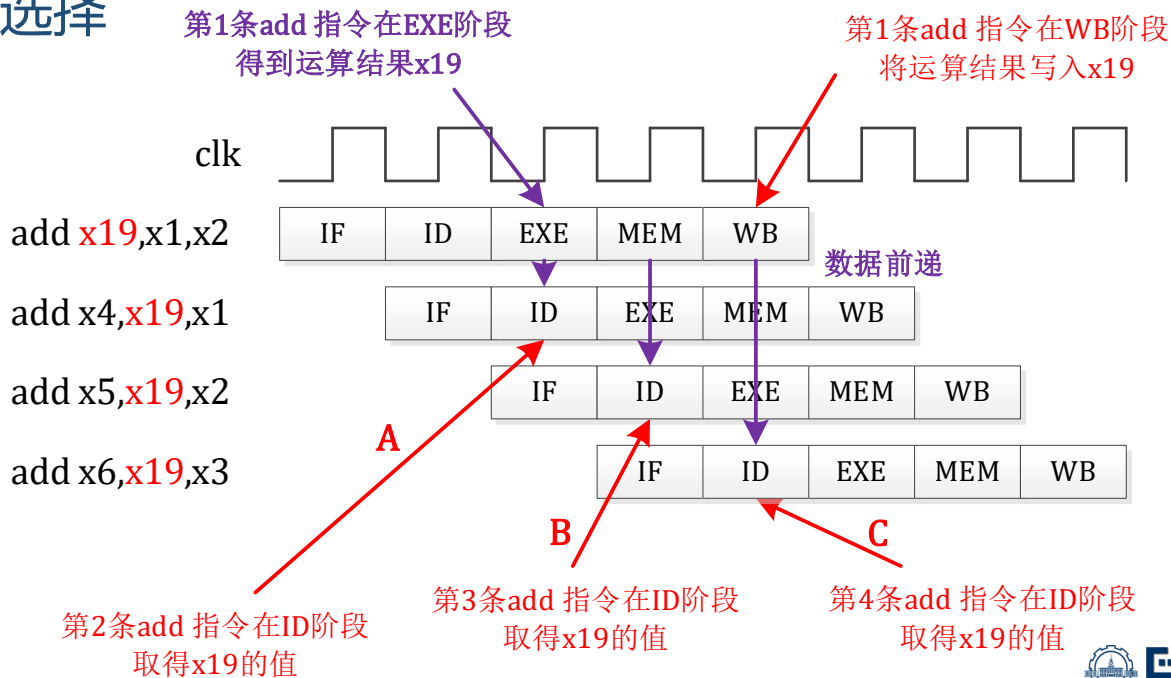
- ◆ 实现流水线CPU的**数据前递**
- ◆ 设计testbench, 对增加数据前递的流水线CPU验证



# 流水线数据前递

## ◆ 数据前递

将**EXE**、**MEM**、**WB**阶段的数据前递到**ID**阶段，使其参与译码运算的源操作数选择



# 流水线数据前递

## ◆ 实现要点

### ① 前递的数据来源

**wdata\_ex**: 执行阶段的结果

**wdata\_mem**: 访存阶段的结果

**wdata\_wb**: 写回阶段的结果

### ② 根据冲突类型选择前递数据

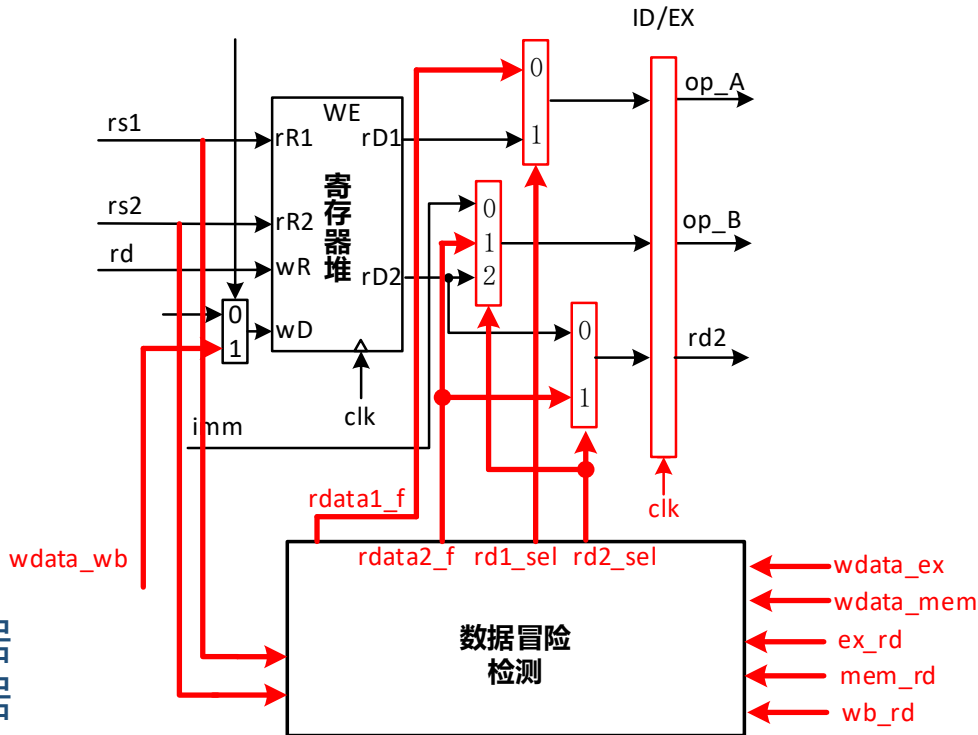
**rdata1\_f**: rdata1对应的前递数据

**rdata2\_f**: rdata2对应的前递数据

### ③ 增加数据选择信号

**rd1\_sel**: rdata1是否选择前递数据

**rd2\_sel**: rdata2是否选择前递数据



# 流水线数据前递

## ◆ 实现示例（写回与译码阶段冲突）

### RTL实现

```
wire rs1_id_wb_con = (raddr1 == waddr) & we & re1;
```

```
wire rs2_id_wb_con = (raddr2 == waddr) & we & re2;
```

```
assign rdata1 = rs1_id_wb_con ? wdata : re1 ? rf[raddr1] : 'h0;
```

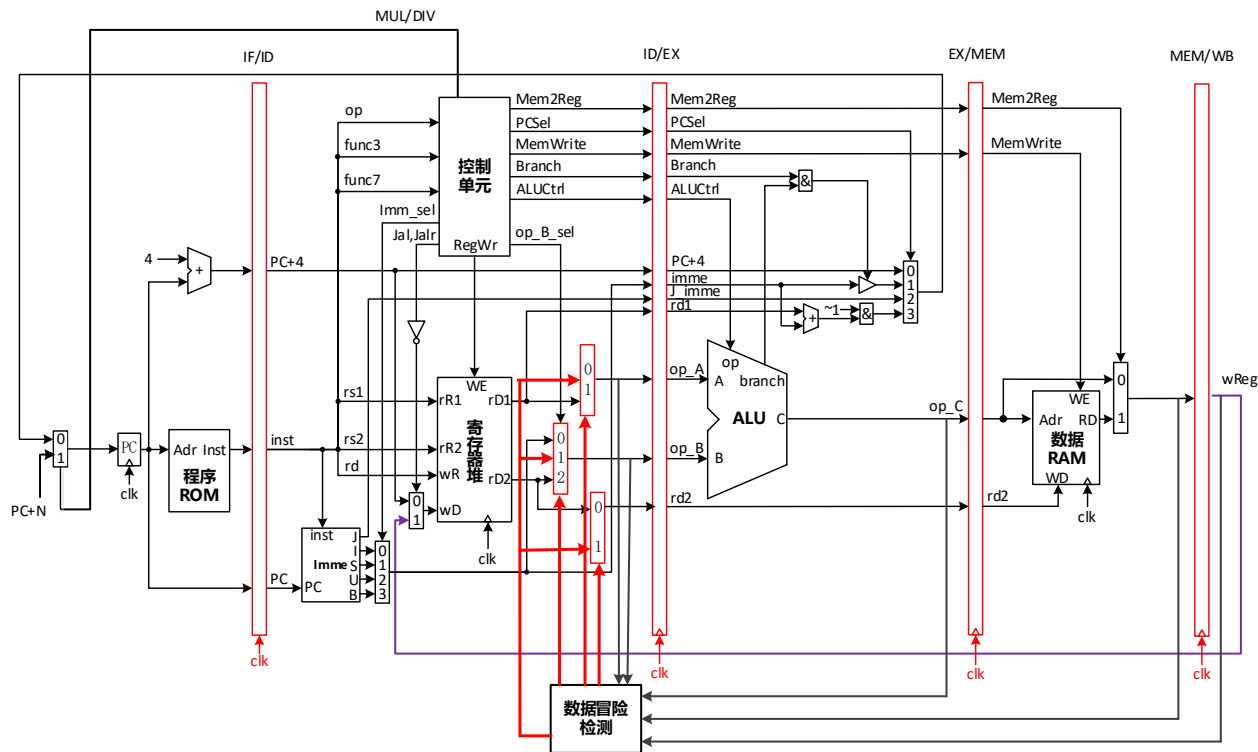
```
assign rdata2 = rs2_id_wb_con ? wdata : re2 ? rf[raddr2] : 'h0;
```



# 流水线数据通路

- 增加数据前递的数据通路

示例



# 流水线数据前递仿真

---

- ◆ 编写含冲突指令序列
- ◆ 加载到IROM
- ◆ 仿真

注：亦可用trace仿真







**Let's roll !**



**HITSZ 实验与创新实践教育中心**  
Education Center of Experiments and Innovations, HITSZ

