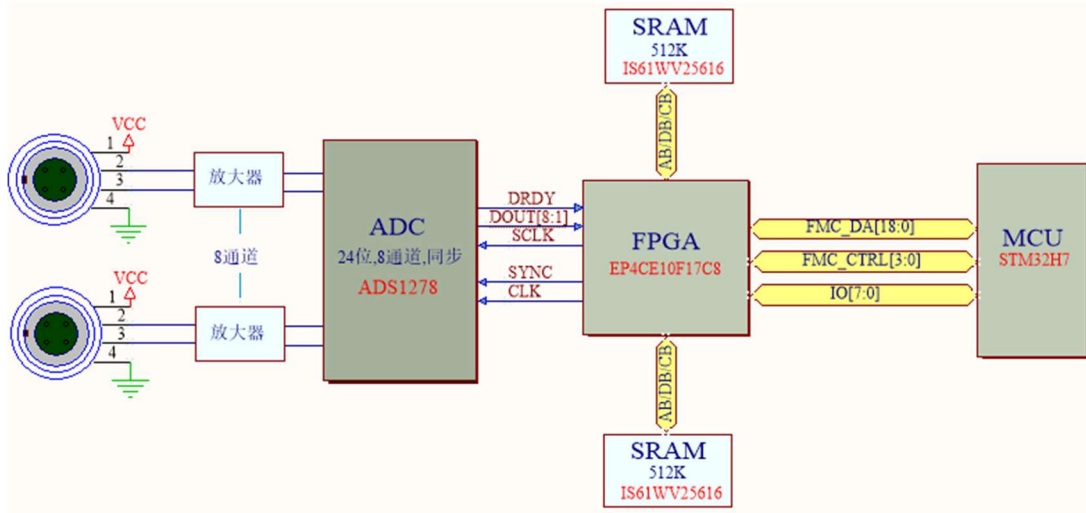


## 1.原理框图



## 2. 相关参数：

- ADC ADS1278 是一个 8 通道同步  $\Delta\Sigma$  24Bit 模数转换器，最高采样速率 128k, 无内部配置寄存器，所有操作直接由引脚控制, 无需寄存器编程。

DRDY : 数据就绪信号，每当 ADC 转换结束后输出一个短暂的高脉冲信号通知 FPGA 读取 ADC 数据。

DOUT[8:1] : 8 通道数据输出引脚，在分散模式（图 2），对应 8 通道串行数据输出，在 TDM 模式（图 3），所有通道数据通过 DOUT1 输出。

SCLK : 控制串行数据输出时钟。

SYNC : 同步信号，控制 ADC 重新开始采样。

CLK : ADC 主时钟，该时钟频率决定了采样率大小。

图 2

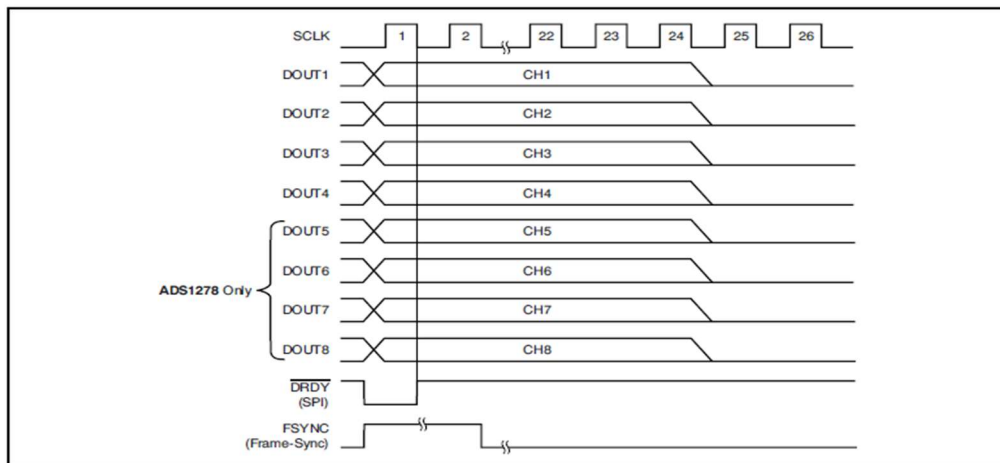


Figure 80. Discrete Data Output Mode

图 3

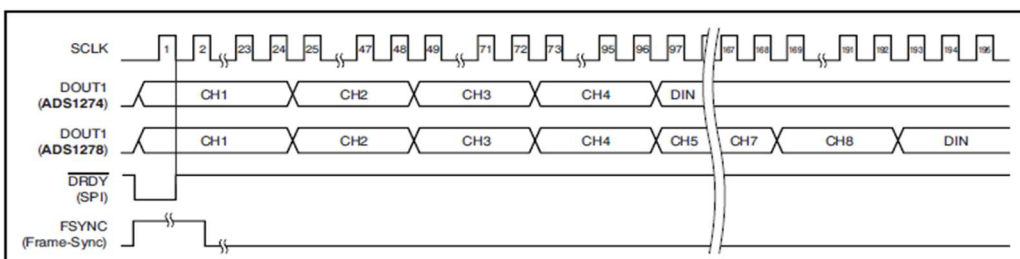


Figure 77. TDM Mode (All Channels Enabled)

- FPGA 外扩 2 片 SRAM(256K ×16) , 可以实现乒乓操作, 方便编程和使用。另外和 MCU 通信采用 FMC 总线方式, 相当于把 2 片 SRAM 映射成 RAM ,MCU 访问 ADC 采集的数据非常方便。

提供以下信号给 MCU:

FMC\_DA[18:0]: 16 位宽数据和地址复用总线, 可以访问 SRAM 1M 的数据空间。

FMC\_CTRL[3:0]: 总线控制信号, FMC\_NOE, FMC\_NEW, FMC\_NE1, FMC\_NL。

IO[7:0] : 通用 IO ,可作为中断信号, IAP 等其他用途配合 MCU 工作。

注: 该部分 Verlog 程序已经编写完成和通过验证, 可提供参考和使用。

### 3.要求

1. 使用 Quartus II 13 开发 Verlog 程序。
2. 设置 ADC 采样率 1HZ 到 128K, 设置 CLK 输出频率即可实现。
3. 采集的数据储存到外扩 SRAM,建议使用乒乓操作。
4. 合并已经写好的 FMC Verlog 程序, 也可自己实现。
5. 实现 TDM 和 Discrete 工作模式, 可以用两套程序实现。
6. 设置 ADC 缓存储存长度,当达到指定长度产生一个中断, 通知 MCU 读取缓存数据。
7. 需要通过 MCU( STM32H743)测试验证, 该部分编程本人非常熟练可以配合完成。
8. 要求 Verlog 编程逻辑清晰, 可读性好, 注释清楚。
9. 硬件已经开发完成, 无需开发硬件。