# 模块设计需求

# 设计目的

开发FPGA功能逻辑控制模块。

# 接口连接框图



# PL端功能需求

1. 时钟模块
	1. 通过SPI 1对LTC6950寄存器配置。
	2. 对1GHZ的外部VCO输入分频到200MHZ时钟输出。
	3. 按照软件算法，对VCO分频出来的200MHZ时钟移相VCO时钟周期。
2. ADC采集模块
	1. 通过SPI 2对LTC2152寄存器配置Digital Output Mode、 Two’s Complement Mode Control Bit。
	2. 通过LVDS接口读取ADC的采集数据。
3. LMH6401配置模块
	1. 通过SPI 3对LMH6401寄存器配置不同档位的增益大小。
	2. 1档时配置5倍。
	3. 2档时配置1倍。
	4. 3档时配置1倍。
4. DAC 2配置模块
	1. 通过SPI 4对DAC 2模块AD5664寄存器配置。
	2. 配置LMH6401的偏置电压，具体按调试需求配置。
	3. 配置TIA模块OPA855的偏置电压，具体按调试需求配置。
5. IO \*4配置模块
	1. 通过IO\*4对继电器配置不同档位的增益大小。
	2. 1档时配置IO1、IO2、IO3、IO4分别为0、1、0、1。
	3. 2档时配置IO1、IO2、IO3、IO4分别为0、0、0、1。
	4. 3档时配置IO1、IO2、IO3、IO4分别为1、0、1、1。
6. DAC 1配置模块
	1. 通过SPI 5对DAC 1模块AD5664寄存器配置。
	2. 配置AD9665的4路信号驱动基准电流，具体按调试需求配置。
7. LD驱动模块
	1. 通过LVDS对AD9665配置LD的驱动电流、驱动脉宽、驱动端口（LD1、LD2）。
8. USB模块
	1. USB主模式：与光功率计模块通讯，在FPGA的PL端完成，需要自己完整开发。

# PS端功能需求

1. 光功率计模块
	1. GPIO\*4通过EMIO映射到PS端，后续做SOC的软件开发。
	2. SPI 6通过EMIO映射到PS端，后续做SOC的软件开发。
2. 背板接口模块
	1. CLK、STAR TRIG、TRIG\*12、GA\*4通过EMIO映射到PS端，后续做SOC的软件开发。
3. 与STM32通讯接口
	1. UART与STM32通讯，通过EMIO映射到PS端，后续做SOC的软件开发。
4. USB模块
	1. USB从模式：与机箱控制模块通讯，在FPGA的PS端完成，有demo例程。

# 模块逻辑关系连接图

#